

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 31 419.5

Anmeldetag: 11. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Vorrichtung und Verfahren zur Kalibrierung
von Signalen

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 24. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, likely of the President of the German Patent and Trademark Office.

Handwritten initials or a small mark, possibly 'We'.



Zusammenfassung

Die Erfindung betrifft eine Vorrichtung zur Kalibrierung von Signalen, bei der mindestens zwei Signal-Schaltungen (12, 14, 16, 18, 20) zum Erzeugen von Signalen vorgesehen sind. Um die Signale zu kalibrieren sind Mittel (24, 26, 28, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56) vorgesehen, welche die von den Signal-Schaltungen erzeugten Signale auswerten und davon abhängig wenigstens eine der mindestens zwei Signal-Schaltungen (12, 14, 16, 18, 20) derart ansteuern, dass der zeitliche Bezug der von den Signal-Schaltungen erzeugten Signale untereinander entsprechend mindestens einem vorgegebenen Wert eingestellt wird.

15 Fig. 1

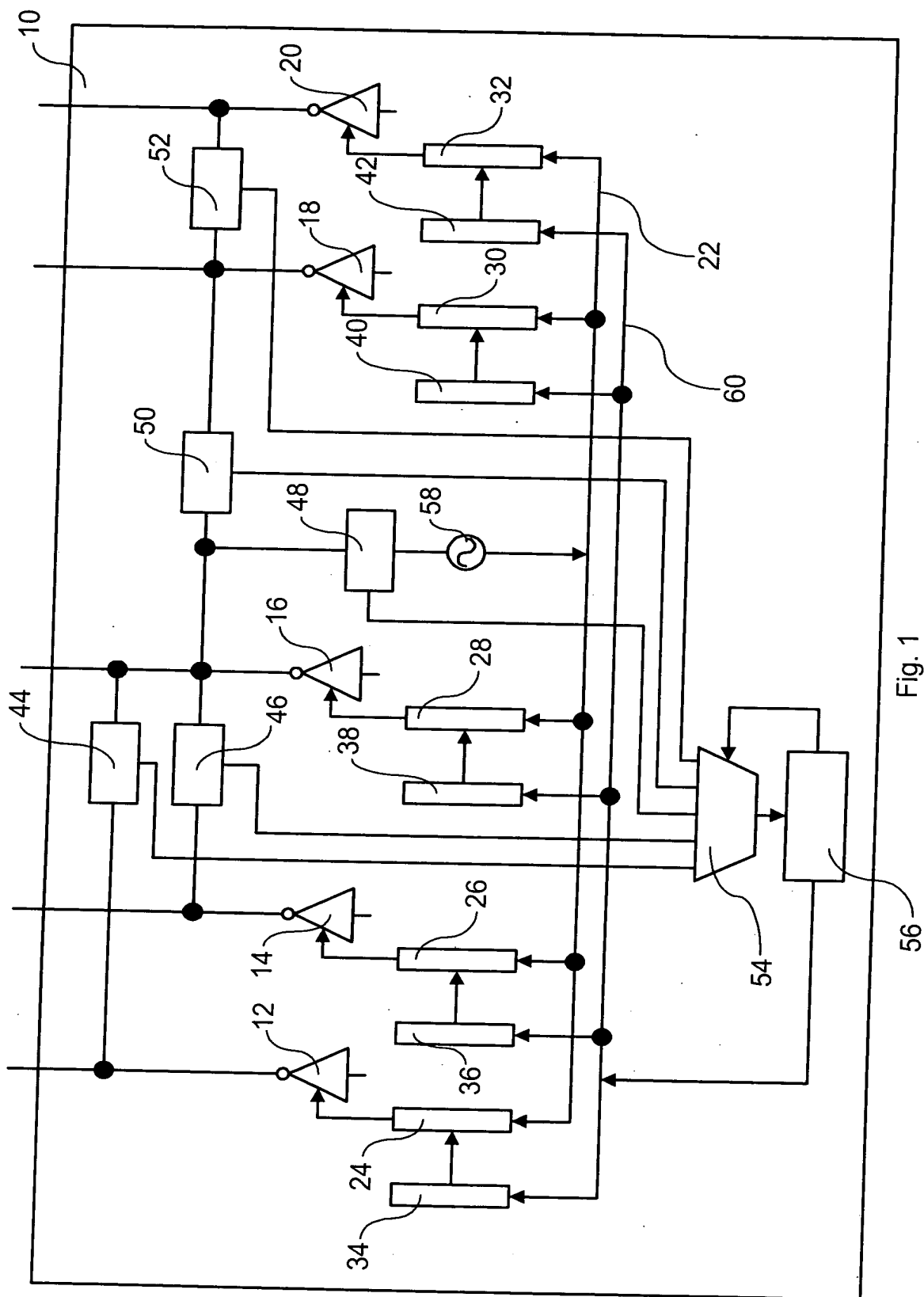


Fig. 1

Beschreibung

Vorrichtung und Verfahren zur Kalibrierung von Signalen

- 5 Die Erfindung betrifft eine Vorrichtung zur nach dem Oberbegriff von Anspruch 1 und ein entsprechendes Verfahren nach dem Oberbegriff von Anspruch 15.

10 Dynamische Speicher (DRAMs: Dynamic Random Access Memories) werden mit speziellen Produktionstestmaschinen getestet. Eine derartige Maschine erzeugt hochgenaue Signale, die an einen zu testenden Speicherbaustein (DUT: Device under Test) geführt und angelegt werden. Unter einem hochgenauen
15 Signal wird ein Signal verstanden, dessen Spannungspegel sehr präzise eingestellt und das zu genau definierten Zeitpunkten erzeugt werden kann. Ebenso ermöglichen die erwähnten Produktionstestmaschinen eine präzise Detektion der von einem DUT erzeugten Signale. D.h. konkret, dass diese Signale zu genau definierten Zeitpunkten abgetastet, in eine Produktionstest-
20 maschine eingelesen und mit Vergleichssignalen, den sogenannten erwarteten Signalen verglichen werden können.

Bei den mittlerweile verfügbaren Technologien im DRAM-Bereich werden Taktfrequenzen bis zu 400 MHz erreicht. Als
25 Beispiel seien hier die bekannten RAMBUS- oder DDR (Double Data Rate)-Speicher genannt. Derartige Speicher erfordern hochgenaue Signale zum Testen, deren Spezifikationen in einem Zeitbereich von derzeit etwa 500 ps festgelegt sein müssen. Kleinere Zeitbereiche bis in einen Bereich von wenigen ps
30 sind in Zukunft zu erwarten. Diese Anforderungen müssen durch Produktionstestmaschinen erfüllt werden. Hierzu ist eine besonders genaue Signalelektronik erforderlich, die jedoch sehr hohe Kosten verursacht.

35 Zudem stellen derartige Produktionstestmaschinen in der Regel eine Vielzahl von unabhängigen Ein- und Ausgangskanälen zur Verfügung, die zumindest teilweise programmierbar sind.

Diese Ein- und Ausgangskanäle werden mit einer maschinen-internen Zeitreferenz und mit in der Maschine erzeugten Datenmustern verglichen. Daher werden die Ein- und Ausgangskanäle über aufwendige PDKarten mit einer Vielzahl von ASICs (Application Specific Integrated Circuits) und elektronischen Bauelementen angesteuert. Insbesondere die ASICs verursachen jedoch sehr hohe Kosten, da in der Regel für jeden Ein- und Ausgangskanal ein ASIC vorgesehen ist; dieser ASIC wird auch als PDKelektronik bezeichnet.

Aufgabe der vorliegenden Erfindung ist es daher, eine Vorrichtung und ein Verfahren zur Kalibrierung von Signalen vorzuschlagen, die es ermöglichen, hochgenaue Signale kostengünstig zu erzeugen.

Diese Aufgabe wird durch eine Vorrichtung zur Kalibrierung von Signalen mit den Merkmalen nach Anspruch 1 und durch ein entsprechendes Verfahren mit den Merkmalen nach Anspruch 15 gelöst. Weitere vorteilhafte Ausführungsformen, Ausgestaltungen und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen Ansprüchen, der Beschreibung und der beiliegenden Zeichnung.

Ein wesentlicher Punkt der Erfindung besteht darin, präzise, d.h. zeitlich hochgenaue Signale zu erzeugen, indem die Signale insbesondere durch einen Vergleich untereinander kalibriert, d.h. zeitlich aufeinander abgestimmt werden. Dieses Verfahren erweist sich außerdem als besonders vorteilhaft bei einer Implementierung in einer integrierten Schaltung, da auch räumlich relativ weit entfernte Signale ohne großen schaltungstechnischen Aufwand miteinander kalibriert werden können. Temperaturschwankungen werden durch die Erfindung ebenso ausgeglichen wie Ungenauigkeiten aufgrund unterschiedlicher Laufzeiten der Signale. Eine teure PDKelektronik kann hierdurch sehr viel einfacher und vor allem kostengünstiger aufgebaut werden. Insbesondere bei einem Einsatz in einem BOST (Built Outside Self Test)-Konzept zum Testen von komple-

100
10 5 xen integrierten Schaltungen kann die Erfindung vorteilhaft eingesetzt werden, da nur ein geringer schaltungstechnischer Aufwand erforderlich ist. Dies ermöglicht die Implementierung in verhältnismäßig kleinen ASICs, die nahe bei einem DUT angeordnet werden können, wodurch Leitungslaufzeiten bzw. Laufzeitunterschiede von Signalen reduziert und die Genauigkeit und Frequenz erhöht werden können. Zudem können diese ASICs bei großen Stückzahlen sehr kostengünstig produziert werden. Schließlich müssen keine aufwendigen Busse beispielsweise auf einem Halbleiterchip zur Realisierung der Erfindung geführt werden.

15 Konkret betrifft die Erfindung eine Vorrichtung zur Kalibrierung von Signalen, bei der mindestens zwei Signal-Schaltungen zum Erzeugen von Signalen vorgesehen sind. Zum Kalibrieren sind ferner Mittel vorgesehen, welche die von den Signal-Schaltungen erzeugten Signale auswerten und davon abhängig wenigstens eine der mindestens zwei Signal-Schaltungen derart ansteuern, dass der zeitliche Bezug der von den Signal-Schaltungen erzeugten Signale untereinander entsprechend mindestens einem vorgegebenen Wert eingestellt wird. Der vorgegebene Wert kann beispielsweise 0 sein; in diesem Fall sollen die Signale derart kalibriert werden, dass sie nur einen sehr kleinen oder möglichst gar keinen Zeitversatz aufweisen. 20
25 Es kann aber auch jeder andere beliebige Wert vorgegeben werden, der den zeitlichen Bezug der Signale untereinander, genauer gesagt den zeitlichen Versatz der Signale bestimmt.

30 Die Mittel können mindestens einen Komparator aufweisen, der mindestens zwei Signal-Schaltungen zugeordnet ist und die von den mindestens zwei Signal-Schaltungen erzeugten Signale miteinander vergleicht. Komparatoren sind schaltungstechnisch verhältnismäßig einfach aufgebaute Schaltungen, die vor allem auf einer integrierten Schaltung, also auf einem Halbleiterchip nur einen geringen Flächenbedarf haben. 35

Vorzugsweise weisen die Mittel eine Logikschaltung auf, die das Ausgangssignal des mindestens einen Komparators auswertet. Eine derartige Logikschaltung kann beispielsweise in Form eines kleinen Prozessors oder eines Zustandsautomaten
5 realisiert sein. Der vorgegebene Wert sollte programmierbar und hierzu in einem flüchtigen oder nichtflüchtigen, programmierbaren Speicher abgelegt sein.

Ferner können die Mittel mindestens eine programmierbare
10 Verzögerungsstrecke aufweisen. Hierbei ist mindestens einer Signal-Schaltung eine programmierbare Verzögerungsstrecke zugeordnet, um die Verzögerung der Signal-Schaltung einzustellen. Als programmierbare Verzögerungsstrecke kann beispielsweise eine Serienschaltung digitaler Verzögerungsglieder eingesetzt werden, in der die Anzahl der aktiven, also in den
15 Verzögerungspfad geschalteten Verzögerungsglieder programmierbar ist. Selbstverständlich sind auch andere, aus dem Stand der Technik bekannte Verzögerungsstrecken einsetzbar.

20 Die Mittel weisen vorzugsweise mindestens ein Register auf. Wenigstens einer programmierbaren Verzögerungsstrecke ist ein Register zugeordnet, in dem ein Verzögerungswert gespeichert werden kann. Mit anderen Worten wird ein von der Logikschaltung ermittelter Verzögerungswert für eine Signal-
25 Schaltung in dem Register gespeichert. Dieser Verzögerungswert kann dann von der dem Register zugeordneten Verzögerungsstrecke ausgelesen werden. Entsprechend dem ausgelesenen Verzögerungswert wird die Verzögerung der Signalschaltung eingestellt.

30

Das mindestens eine Register ist vorzugsweise über einen Registerbus mit der Logikschaltung verbunden. Mehrere Register sind somit über diesen Registerbus verbunden, so dass der Aufwand zu Verdrahtung der Register gering gehalten wird.

35

Um den Schaltungsaufwand möglichst gering zu halten, können die Mittel mindestens einen Multiplexer aufweisen, dem

Ausgangssignale von Komparatoren zugeführt werden. Hierdurch wird im Prinzip ein sequentielles Bearbeiten der Vergleichsergebnisse der Komparatoren durch die Logikschaltung ermöglicht. Dazu wird der Multiplexer vorzugsweise von der Logikschaltung gesteuert, so dass die Logikschaltung den Ablauf der Kalibrierung bestimmt.

Es kann auch ein Signalgeber vorgesehen sein, der ein Bezugssignal erzeugt, mit dem die von den Signal-Schaltungen erzeugten Signale kalibriert werden können. Hierdurch kann eine Kalibrierung mit Bezug auf eine möglichst genaue Zeitreferenz, die von dem Signalgeber geliefert wird, durchgeführt werden. Mit anderen Worten werden die zu kalibrierenden Signale auf das Bezugssignal eingestellt.

Vorzugsweise wird hierzu das Bezugssignal, das von dem Signalgeber erzeugt wird, wenigstens einem Komparator zugeführt.

Besonders vorteilhaft kann die erfindungsgemäße Vorrichtung zumindest teilweise auf einem Halbleiterchip implementiert sein.

Insbesondere um den technischen Aufwand der eingangs erwähnten Produktionstestmaschinen zu verringern, kann die erfindungsgemäße Vorrichtung auf einem ASIC implementiert sein, der zum Testen von dynamischen Speicherbausteinen, insbesondere für einen Selbsttest von dynamischen Speicherbausteinen ausgebildet ist. Ein derartiger ASIC kann vorteilhaft auf einer Pinkarte einer Produktionstestmaschine, beispielsweise als Ersatz für die bisher für jeden Ein- und Ausgangskanal der Produktionstestmaschine vorgesehenen Bauteile eingesetzt werden.

In einer derzeit bevorzugten Ausführungsform der erfindungsgemäßen Vorrichtung sind die Signal-Schaltungen Treiber, insbesondere invertierende steuerbare Treiber.

Die Erfindung betrifft ferner ein Verfahren zur Kalibrierung von Signalen, bei dem mindestens zwei Signal-Schaltungen zum Erzeugen von Signalen vorgesehen sind. Verfahrensgemäß werden die von den Signal-Schaltungen erzeugten Signale ausgewertet; davon abhängig wird dann wenigstens eine der mindestens zwei Signal-Schaltungen derart angesteuert, dass der zeitliche Bezug der von den Signal-Schaltungen erzeugten Signale untereinander entsprechend mindestens einem vorgegebenen Wert eingestellt wird.

Vorzugsweise werden die von den mindestens zwei Signal-Schaltungen erzeugten Signale zum Auswerten miteinander verglichen.

Abhängig vom Vergleichsergebnis kann mindestens eine der Signal-Schaltungen derart programmiert werden, dass das von ihr erzeugte Signal entsprechend dem vorgegebenen Wert verzögert wird.

In einer bevorzugten Ausführungsform erfolgt das Auswerten und Programmieren durch eine Logikschaltung, die hierzu einen Algorithmus ausführt, der den vorgegebenen Wert aufweist. Der Algorithmus kann beispielsweise als Programm in einem kleinen Speicher abgelegt sein; die Logikschaltung kann aber beispielsweise auch als Zustandsautomat ausgebildet sein, der den Algorithmus realisiert. Vorzugsweise ist der vorgegebene Wert programmierbar, indem er beispielsweise in der Logikschaltung in einem dafür vorgesehenen Register gespeichert ist. Das Register kann beispielsweise als statischer, dynamischer flüchtiger oder programmierbarer nicht-flüchtiger Speicher ausgebildet sein.

Um den schaltungstechnischen und verfahrensmäßigen Aufwand möglichst klein zu halten, werden vorzugsweise mehrere Vergleichsergebnisse von der Logikschaltung sequentiell ausgewertet. Hierdurch wird zwar der Kalibriervorgang insgesamt

zeitlich verlängert; allerdings wird nicht zum Auswerten jedes Vergleichsergebnisses eine eigene Logikschaltung benötigt. Selbstverständlich können auch mehrere, insbesondere parallel arbeitende Logikschaltungen vorgesehen werden, um
5 den Kalibriervorgang zeitlich zu verkürzen, beispielsweise wenn sehr häufig eine Kalibrierung durchgeführt wird und der insgesamt zum Kalibrieren aufzuwendende Zeitaufwand möglichst klein sein soll.

10 Im Falle einer Logikschaltung zum sequentiellen Auswerten mehrerer Vergleichsergebnisse, steuert diese einen Multiplexer entsprechend an; an den Eingängen des Multiplexers liegen die Vergleichsergebnisse an. Unter entsprechender Ansteuerung wird hier insbesondere eine durch den Algorithmus
15 gesteuerte Auswahl der einzelnen Vergleichsergebnisse verstanden.

Vorzugsweise steuert die Logikschaltung zum Programmieren über einen Registerbus mindestens eines von mindestens
20 zwei Registern an, die jeweils den Signal-Schaltungen zugeordnet sind, und speichert darin einen Verzögerungswert.

Ein in einem Register gespeicherter Verzögerungswert kann dann von einer programmierbaren Verzögerungsstrecke gelesen werden, die wiederum eine Signal-Schaltung entsprechend
25 dem gelesenen Verzögerungswert programmiert, genauer gesagt die Verzögerung der Signal-Schaltung bei der Ausgabe eines Signals einstellt.

30 Ein Ausführungsbeispiel der Erfindung wird nachfolgend anhand der einzigen Zeichnung näher dargestellt. Es zeigt:

Fig. 1 ein Ausführungsbeispiel der Vorrichtung zur
35 Kalibrierung von Signalen.

Fig. 1 zeigt ein Ausführungsbeispiel der erfindungsgemäßen Vorrichtung zur Kalibrierung von Signalen. Die Vorrichtung ist vorzugsweise auf einem Halbleiterchip 10 implementiert. Als Signal-Schaltungen sind invertierende steuerbare Treiber 12, 14, 16, 18 und 20 vorgesehen, die Signale generieren, die beispielsweise außerhalb des Halbleiterchips 10 für Testzwecke weitergeleitet werden können. Diese Signale sollen zeitlich hochgenau erzeugt, genauer gesagt kalibriert werden. Hierbei sollen alle Signale möglichst exakt zur etwa gleichen Zeit generiert werden. Genauer gesagt sollen Signalwechsel zu möglichst gleichen Zeitpunkten erzeugt werden. Deshalb werden die Treiber 12, 14, 16, 18 und 20 von dem gleichen Steuertakt 22 kontrolliert. Dieser wird jeweils über eine programmierbare Verzögerungsstrecke 24, 26, 28, 30 bzw. 32 an die Treiber 12, 14, 16, 18 bzw. 20 geführt. Über Register 34, 36, 38, 40, 42 kann jeweils ein Verzögerungswert der Verzögerungsstrecken 24, 26, 28, 30 bzw. 32 programmiert werden. Hierzu sind die Register 34, 36, 38, 40, 42 über einen gemeinsamen Registerbus 60 mit einer Logikschaltung 56 verbunden. Die Funktion der Logikschaltung 56 wird unten genauer erläutert.

Ist überall der gleiche Verzögerungswert über die Register 34, 36, 38, 40, 42 programmiert, so sollten alle Treiber 12, 14, 16, 18 und 20 etwa zur gleichen Zeit ihre Ausgangssignalwerte treiben. In der Praxis ergeben sich in der Regel allerdings erhebliche zeitliche Abweichungen. Dies liegt u.a. an Laufzeitunterschieden des Steuertakts 22, lokal unterschiedlichen Erwärmungen durch den Schaltungsbetrieb und insbesondere damit verbundenen unterschiedlichen Leitungswiderständen, ungenauer Realisierung der Verzögerungsstrecken 24, 26, 28, 30, 32 und lokal abweichenden Layoutschwankungen von Gatelängen der eingesetzten Transistoren. Insbesondere sind größere Abweichungen nicht zu vermeiden, wenn die einzelnen Signal-Schaltungen, insbesondere Treiber räumlich weit getrennt sind, beispielsweise auf einer komplexen integrierten Schaltung, einem größeren ASIC oder einem dynamischen Spei-

cherbaustein. In Fig. 1 sei beispielsweise angenommen, dass die Treiber 16 und 18 räumlich auf dem Halbleiterchip 10 weit getrennt sind.

5 Um solche Schwankungen zu reduzieren wird die erfindungsgemäße Kalibriermethodik wie in Fig. 1 dargestellt verwendet. Hierbei werden die Ausgangssignale der Treiber 12, 14, 16, 18 und 20 auf dem Halbleiterchip 10 zurückgekoppelt und jeweils einem Komparator 44, 46, 48, 50, 52 zugeführt. In
10 Fig. 1 sollen - wie bereits erwähnt - insbesondere die Treiber 16 und 18 räumlich relativ weit voneinander getrennt angeordnet sein. Zweckmäßig ist es zunächst, räumlich weit getrennte Signale direkt miteinander zu vergleichen. Daher werden die Signale der Treiber 16 und 18 mittels des Komparators
15 50 verglichen. Es sollte darauf geachtet werden, die Zuführungsleitungen zu den Komparatoren jeweils etwa gleich lang zu halten, um Laufzeitunterschiede aufgrund unterschiedlich langer Zuführungsleitungen möglichst zu vermeiden, zumindest jedoch sehr gering zu halten.

20

Das Vergleichsergebnis von Komparator 50 wird über einen Multiplexer 54 der bereits erwähnten Logikschaltung 56 zugeführt. Aus dem Vergleichs- bzw. Komparatorergebnis folgt, welches der miteinander verglichenen Signale zeitlich langsamer ist. Zur weiteren Erklärung sei angenommen, dass das
25 durch den Treiber 16 erzeugte Signal langsamer ist. Die Logikschaltung 56 reduziert deshalb den Inhalt des Treiber 16 zugeordneten Registers 38, um die entsprechende Verzögerungsstrecke 28 zu reduzieren. Hierdurch wird das durch Treiber 16
30 erzeugte Signal etwas früher generiert. Dieser Vorgang wird so oft wiederholt bis die durch Treiber 16 und 18 erzeugten Signale nahezu gleichzeitig generiert werden.

Danach sind die durch Treiber 16 und 18 erzeugten Signale
35 zeitlich miteinander synchronisiert. Da die Komparatoren 44, 46, 48, 50 und 52 jeweils durch gleichlange Leitungen mit den zugehörigen Treibern 12, 14, 16, 18 und 20 verbunden

sind, entstehen hierdurch so gut wie keine Ungenauigkeiten. Von den Komparatoren 44, 46, 48, 50 und 52 zur Logikschaltung 56 bzw. von der Logikschaltung 56 zu den Registern 34, 36, 38, 40 und 42 werden lediglich logische Daten übertragen, d.h. auch bei großen Leitungslängen entsteht hierdurch keine Ungenauigkeit in der Kalibrierung. Laufzeitunterschiede auf der Leitung für den Steuertakt 22 zu den verschiedenen Verzögerungsstrecken 24, 26, 28, 30 und 32 werden auskalibriert, da die Ausgangssignale der Treiber 12, 14, 16, 18 und 20 jeweils direkt miteinander verglichen werden.

Ausgehend von den Treibern 16 und 18 können nun alle weiteren Treiber 12, 14 und 20 mit diesen verglichen werden, um alle Signale miteinander zu kalibrieren. Dabei sollte möglichst immer mit der gleichen Referenz verglichen werden, um zusätzliche Ungenauigkeiten zu vermeiden. Im Ausführungsbeispiel werden sowohl der Treiber 12 als auch der Treiber 14 mit dem Treiber 16 verglichen. Dies erfordert zwar eine Verdrahtung über längere Distanzen, ist aber dennoch vertretbar, da die Treiber 12, 14 und 16 örtlich nahe auf dem Halbleiterchip 10 angeordnet sind. Selbstverständlich sollte darauf geachtet werden, dass der Registerinhalt des "Referenz"-Treibers 16 nicht mehr verändert wird.

Über den Multiplexer 54 können somit effektiv alle Treiber 12, 14, 16, 18 und 20 nacheinander miteinander kalibriert, wodurch eine Logikschaltung 56 ausreicht.

Mit der Erfindung kann eine Gruppe von Signalen in möglichst genaue zeitliche Übereinstimmung gebracht werden. Ist es erwünscht, die Übereinstimmung auch in Bezug auf eine vorgegebene exakte Zeitreferenz herzustellen, so kann dies ebenfalls durch die Erfindung erfolgen. In Fig. 1 ist dies durch den Komparator 48 und einen Signalgeber 58 dargestellt. Der Signalgeber ist hier eine Referenz-Signalquelle, die ein zeitlich hochgenaues Referenz-Signal erzeugt, beispielsweise einen sehr präzisen Takt. Der erste Vergleich sollte hierbei

zwischen dem Signalgeber 58 und beispielsweise dem Treiber 16 stattfinden. Damit ist der Treiber 16 mit Signalquelle 58 synchronisiert. Alle weiteren Vergleiche können nun in Bezug auf den Treiber 16 stattfinden - wie vorher dargestellt.

5

Die Erfindung kann auch eingesetzt werden, um Signalgruppen mit unterschiedlicher zeitlicher Beziehung herzustellen; beispielsweise könnten die Treiber 12, 14 und 16 auf den Signalgeber 58 kalibriert werden. Werden eine weitere Referenz-Signalgeber und ein zusätzlicher Komparator vorgesehen, können die Treiber 18 und 20 z.B. unabhängig von den Treibern 12, 14 und 16 auf diese zweite Referenz-Signalgeber kalibriert werden.

10

15

Bezugszeichenliste

5		
	10	Halbleiterchip
	12	Treiber
	14	Treiber
	16	Treiber
10	18	Treiber
	20	Treiber
	22	Steuertakt
	24	programmierbare Verzögerungsstrecke
	26	programmierbare Verzögerungsstrecke
15	28	programmierbare Verzögerungsstrecke
	30	programmierbare Verzögerungsstrecke
	32	programmierbare Verzögerungsstrecke
	34	Register
	36	Register
20	38	Register
	40	Register
	42	Register
	44	Komparator
	46	Komparator
25	48	Komparator
	50	Komparator
	52	Komparator
	54	Multiplexer
	56	Logikschaltung
30	58	Signalgeber
	60	Registerbus

Patentansprüche

1. Vorrichtung zur Kalibrierung von Signalen, bei der mindestens zwei Signal-Schaltungen (12, 14, 16, 18, 20) zum Erzeugen von Signalen vorgesehen sind,
dadurch gekennzeichnet, dass Mittel (24, 26, 28, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56) vorgesehen sind, welche die von den Signal-Schaltungen erzeugten Signale auswerten und davon abhängig wenigstens eine der mindestens zwei Signal-Schaltungen (12, 14, 16, 18, 20) derart ansteuern, dass der zeitliche Bezug der von den Signal-Schaltungen erzeugten Signale untereinander entsprechend mindestens einem vorgegebenen Wert eingestellt wird.
2. Vorrichtung nach Anspruch 1,
dadurch gekennzeichnet, dass die Mittel mindestens einen Komparator (44, 46, 48, 50, 52) aufweisen, der mindestens zwei Signal-Schaltungen zugeordnet ist und die von den mindestens zwei Signal-Schaltungen erzeugten Signale miteinander vergleicht.
3. Vorrichtung nach Anspruch 2,
dadurch gekennzeichnet, dass die Mittel eine Logikschaltung (56) aufweisen, die das Ausgangssignal des mindestens einen Komparators (44, 46, 48, 50, 52) auswertet.
4. Vorrichtung nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, dass die Mittel mindestens eine programmierbare Verzögerungsstrecke (24, 26, 28, 30, 32) aufweisen und mindestens einer Signal-Schaltung (12, 14, 16, 18, 20) eine programmierbare Verzögerungsstrecke zugeordnet ist, um die Verzögerung der Signal-Schaltung (12, 14, 16, 18, 20) einzustellen.

5. Vorrichtung nach Anspruch 4,
dadurch gekennzeichnet, dass
die Mittel mindestens ein Register (34, 36, 38, 40, 42)
5 aufweisen und wenigstens einer programmierbaren Verzögerungsstrecke (24, 26, 28, 30, 32) ein Register zugeordnet ist, in dem ein Verzögerungswert gespeichert werden kann.
6. Vorrichtung nach Anspruch 5,
10 dadurch gekennzeichnet, dass
das mindestens eine Register (34, 36, 38, 40, 42) über einen Registerbus (60) mit der Logikschaltung (56) verbunden ist.
- 15 7. Vorrichtung nach einem der Ansprüche 2-6,
dadurch gekennzeichnet, dass
die Mittel mindestens einen Multiplexer (54) aufweisen, dem Ausgangssignale von Komparatoren (44, 46, 48, 50, 52) zugeführt werden.
20
8. Vorrichtung nach Anspruch 7,
dadurch gekennzeichnet, dass
der Multiplexer (54) von der Logikschaltung (56) gesteuert wird.
- 25 9. Vorrichtung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
ein Signalgeber (58) vorgesehen ist, der ein Bezugssignal erzeugt, mit dem die von den Signal-Schaltungen (12, 14,
30 16, 18, 20) erzeugten Signale kalibriert werden können.
10. Vorrichtung nach Anspruch 9,
dadurch gekennzeichnet, dass
das Bezugssignal, das von dem Signalgeber (58) erzeugt
35 wird, wenigstens einem Komparator (48) zugeführt wird.
11. Vorrichtung nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet, dass sie zumindest teilweise auf einem Halbleiterchip (10) implementiert ist.

5 12. Vorrichtung nach Anspruch 11,

dadurch gekennzeichnet, dass sie auf einem ASIC implementiert ist, der zum Testen von dynamischen Speicherbausteinen ausgebildet ist, oder sie auf dem zu testenden Baustein selbst implementiert ist, um
10 einen Selbsttest zu realisieren.

13. Vorrichtung nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet, dass die Signal-Schaltungen Treiber (12, 14, 16, 18, 20) sind.
15

14. Verfahren zur Kalibrierung von Signalen, bei dem, mindestens zwei Signal-Schaltungen (12, 14, 16, 18, 20) zum Erzeugen von Signalen vorgesehen sind,

dadurch gekennzeichnet, dass
20 die von den Signal-Schaltungen erzeugten Signale ausgewertet und davon abhängig wenigstens eine der mindestens zwei Signal-Schaltungen (12, 14, 16, 18, 20) derart ansteuert wird, dass der zeitliche Bezug der von den Signal-Schaltungen erzeugten Signale untereinander entsprechend
25 mindestens einem vorgegebenen Wert eingestellt wird.

15. Verfahren nach Anspruch 14,

dadurch gekennzeichnet, dass zum Auswerten die von den mindestens zwei Signal-Schaltungen erzeugten Signale miteinander verglichen werden.
30

16. Verfahren nach Anspruch 15,

dadurch gekennzeichnet, dass abhängig vom Vergleichsergebnis mindestens eine der Signal-Schaltungen (12, 14, 16, 18, 20) derart programmiert
35

wird, dass das von ihr erzeugte Signal entsprechend dem vorgegebenen Wert verzögert wird.

17. Verfahren nach Anspruch 15 oder 16,

5 d a d u r c h g e k e n n z e i c h n e t , d a s s
das Auswerten und Programmieren durch eine Logikschaltung (56) erfolgt, die hierzu einen Algorithmus ausführt, der den vorgegebenen Wert aufweist.

10 18. Verfahren nach Anspruch 17,

 d a d u r c h g e k e n n z e i c h n e t , d a s s
mehrere Vergleichsergebnisse von der Logikschaltung (56) sequentiell ausgewertet werden.

15 19. Verfahren nach Anspruch 18,

 d a d u r c h g e k e n n z e i c h n e t , d a s s
die Logikschaltung (56) zum sequentiellen Auswerten mehrerer Vergleichsergebnisse einen Multiplexer (54) entsprechend ansteuert, an dessen Eingängen die Vergleichsergebnisse anliegen.
20

20. Verfahren nach einem der Ansprüche 16 - 19,

 d a d u r c h g e k e n n z e i c h n e t , d a s s
die Logikschaltung (56) zum Programmieren über einen Registerbus (60) mindestens eines von mindestens zwei Registern (34, 36, 38, 40, 42), die jeweils den Signal-Schaltungen (12, 14, 16, 18, 20) zugeordnet sind, ansteuert und einen Verzögerungswert darin speichert.
25

30 21. Verfahren nach Anspruch 20,

 d a d u r c h g e k e n n z e i c h n e t , d a s s
ein in einem Register (34, 36, 38, 40, 42) gespeicherter Verzögerungswert von einer programmierbaren Verzögerungsstrecke (24, 26, 28, 30, 32) gelesen wird, die wiederum
35 eine Signal-Schaltung (12, 14, 16, 18, 20) entsprechend dem gelesenen Verzögerungswert programmiert.

